

VIA HAND DELIVERY
PATENT
36856.1143

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Yoichi KURODA et al. Serial No.: Currently unknown Filing Date: Concurrently herewith For: LAMINATED CAPACITOR, PRINTED CIRCUIT BOARD, DECOUPLING CIRCUIT, AND HIGH- FREQUENCY CIRCUIT	
--	--

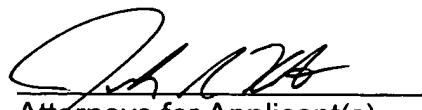
TRANSMITTAL OF PRIORITY DOCUMENTS

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Enclosed herewith is a certified copy of each of Japanese Patent Application No. **2003-024466** filed **January 31, 2003**, from which priority is claimed under 35 U.S.C. 119 and Rule 55b. Acknowledgement of the priority document is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,



Atorneys for Applicant(s)
Joseph R. Keating
Registration No. 37,368

Christopher A. Bennett
Registration No. 46,710

KEATING & BENNETT LLP
10400 Eaton Place, Suite 312
Fairfax, VA 22030
Telephone: (703) 385-5200

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月31日
Date of Application:

出願番号 特願2003-024466
Application Number:

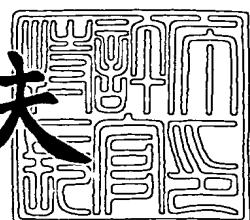
[ST. 10/C] : [JP2003-024466]

出願人 株式会社村田製作所
Applicant(s):

2003年 9月24日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 102109
【提出日】 平成15年 1月31日
【あて先】 特許庁長官殿
【国際特許分類】 H01G 4/30
【発明者】
【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田
製作所内
【氏名】 黒田 誉一
【発明者】
【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田
製作所内
【氏名】 川口 慶雄
【発明者】
【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田
製作所内
【氏名】 谷口 政明
【発明者】
【住所又は居所】 京都府長岡京市天神二丁目26番10号 株式会社村田
製作所内
【氏名】 水野 健一
【特許出願人】
【識別番号】 000006231
【氏名又は名称】 株式会社村田製作所
【代表者】 村田 泰隆

【代理人】

【識別番号】 100085143

【弁理士】

【氏名又は名称】 小柴 雅昭

【電話番号】 06-6779-1498

【手数料の表示】

【予納台帳番号】 040970

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 積層コンデンサ、配線基板、デカップリング回路および高周波回路

【特許請求の範囲】

【請求項1】 相対向する2つの長方形形状の主面ならびにこれら主面間を連結するものであって前記主面の長辺方向に延びる相対向する2つの側面および前記主面の短辺方向に延びる相対向する2つの端面を有する、直方体状のコンデンサ本体を備え、

前記コンデンサ本体は、前記主面の方向に延びる複数の誘電体層、ならびにコンデンサユニットを形成するように特定の前記誘電体層を介して互いに対向する少なくとも1対の第1および第2の内部電極を備え、

前記第1および第2の内部電極は、それぞれ、前記コンデンサ本体の前記側面および前記端面の各々上にまで引き出される第1および第2の引出電極を形成しており、

前記コンデンサ本体の前記側面および前記端面上には、前記第1の引出電極を介して前記第1の内部電極に電気的に接続される第1の外部端子電極、および前記第2の引出電極を介して前記第2の内部電極に電気的に接続される第2の外部端子電極がそれぞれ形成され、

前記第1の外部端子電極は、各前記側面上において少なくとも2つ形成されるとともに、各前記端面上において少なくとも1つ形成され、

前記第2の外部端子電極は、各前記側面上において前記第1の外部端子電極と交互に配置されながら少なくとも2つ形成されるとともに、各前記端面上において前記第1の外部端子電極と交互に配置されながら少なくとも1つ形成され、

前記側面上の前記第1および第2の外部端子電極の数は、前記端面上の前記第1および第2の外部端子電極の数より多くされ、

前記端面上の前記第1および第2の外部端子電極の隣り合うものの間の間隔を規定する端面側ピッチは、前記側面上の前記第1および第2の外部端子電極の隣り合うものの間の間隔を規定する側面側ピッチの0.9倍以下とされている、積層コンデンサ。

【請求項 2】 前記端面上の前記第1および第2の外部端子電極に電気的に接続される前記第1および第2の引出電極の隣り合うものの間の間隔を規定する端面側ピッチは、前記側面上の前記第1および第2の外部端子電極に電気的に接続される前記第1および第2の引出電極の隣り合うものの間の間隔を規定する側面側ピッチの0.9倍以下とされている、請求項1に記載の積層コンデンサ。

【請求項 3】 相対向する2つの長方形状の主面ならびにこれら主面間を連結するものであって前記主面の長辺方向に延びる相対向する2つの側面および前記主面の短辺方向に延びる相対向する2つの端面を有する、直方体状のコンデンサ本体を備え、

前記コンデンサ本体は、前記主面の方向に延びる複数の誘電体層、ならびにコンデンサユニットを形成するよう特定の前記誘電体層を介して互いに対向する少なくとも1対の第1および第2の内部電極を備え、

前記第1および第2の内部電極は、それぞれ、前記コンデンサ本体の前記側面および前記端面の各々上にまで引き出される第1および第2の引出電極を形成しており、

前記コンデンサ本体の前記側面および前記端面上には、前記第1の引出電極を介して前記第1の内部電極に電気的に接続される第1の外部端子電極、および前記第2の引出電極を介して前記第2の内部電極に電気的に接続される第2の外部端子電極がそれ形成され、

前記第1の外部端子電極は、各前記側面上において少なくとも2つ形成されるとともに、各前記端面上において少なくとも1つ形成され、

前記第2の外部端子電極は、各前記側面上において前記第1の外部端子電極と交互に配置されながら少なくとも2つ形成されるとともに、各前記端面上において前記第1の外部端子電極と交互に配置されながら少なくとも1つ形成され、

前記側面上の前記第1および第2の外部端子電極の数は、前記端面上の前記第1および第2の外部端子電極の数より多くされ、

前記端面上の前記第1および第2の外部端子電極に電気的に接続される前記第1および第2の引出電極の隣り合うものの間の間隔を規定する端面側ピッチは、前記側面上の前記第1および第2の外部端子電極に電気的に接続される前記第1

および第2の引出電極の隣り合うものの間の間隔を規定する側面側ピッチの0.9倍以下とされている、積層コンデンサ。

【請求項4】 すべての前記第1の外部端子電極とすべての前記第2の外部端子電極とは、2つの前記側面および2つの前記端面を通して交互に配置されている、請求項1ないし3のいずれかに記載の積層コンデンサ。

【請求項5】 マイクロプロセッsingユニットに備えるMPUチップのための電源回路に接続されるデカップリングコンデンサとして使用される、請求項1ないし4のいずれかに記載の積層コンデンサ。

【請求項6】 請求項1ないし5のいずれかに記載の積層コンデンサが実装された、配線基板。

【請求項7】 マイクロプロセッsingユニットに備えるMPUチップがさらに実装されている、請求項6に記載の配線基板。

【請求項8】 請求項1ないし5のいずれかに記載の積層コンデンサを備える、デカップリング回路。

【請求項9】 請求項1ないし5のいずれかに記載の積層コンデンサを備える、高周波回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、積層コンデンサ、配線基板、デカップリング回路および高周波回路に関するもので、特に、高周波回路において有利に適用され得る積層コンデンサ、ならびに、この積層コンデンサを用いて構成される、配線基板、デカップリング回路および高周波回路に関するものである。

【0002】

【従来の技術】

この発明にとって興味ある従来の積層コンデンサが、たとえば特開平11-144996号公報（特許文献1）に記載されている。図7は、この特許文献1に記載された積層コンデンサ1の外観を示す平面図である。

【0003】

積層コンデンサ1は、直方体状のコンデンサ本体2を備えている。コンデンサ本体2は、相対向する2つの長方形状の主面3および4を有するとともに、これら主面3および4間を連結するものであって主面3および4の長辺方向に延びる相対向する2つの側面5および6ならびに主面3および4の短辺方向に延びる相対向する2つの端面7および8を有している。

【0004】

コンデンサ本体2は、主面3および4の方向に延びる複数の誘電体層9を備えるとともに、図示しないが、コンデンサユニットを形成するように特定の誘電体層9を介して互いに対向する少なくとも1対の第1および第2の内部電極を内部に備えている。これら第1および第2の内部電極は、それぞれ、コンデンサ本体2の側面5および6ならびに端面7および8の各々上にまで引き出される第1および第2の引出電極を形成している。

【0005】

コンデンサ本体2の側面5および6ならびに端面7および8上には、上述した第1の引出電極を介して第1の内部電極に電気的に接続される第1の外部端子電極10、ならびに第2の引出電極を介して第2の内部電極に電気的に接続される第2の外部端子電極11がそれぞれ形成されている。なお、これら第1の外部端子電極10と第2の外部端子電極11とを図面上において区別しやすくするため、第1の外部端子電極10は白抜きで図示され、第2の外部端子電極11は黒塗りで図示されている。

【0006】

第1の外部端子電極10は、側面5および6の各々上において2つ形成されるとともに、端面7および8の各々上において1つ形成されている。また、第2の外部端子電極11は、側面5および6の各々上において第1の外部端子電極10と交互に配置されながら2つ形成されるとともに、端面7および8の各々上において第1の外部端子電極10と交互に配置されながら1つ形成されている。

【0007】

図7に示した積層コンデンサ1では、側面5および6の各々と端面7および8の各々とに跨がって第1の外部端子電極10と第2の外部端子電極11とが互い

に隣り合っているので、すべての第1の外部端子電極10とすべての第2の外部端子電極11とが、2つの側面5および6ならびに2つの端面7および8を通して交互に配置されている。

【0008】

図7には、また、この積層コンデンサ1において流れる電流の典型的な経路および方向が矢印によって示されている。これら矢印で示されるように、電流は、図示した状態あるいは時点では、第1の外部端子電極10から第2の外部端子電極11に向かって流れている。

【0009】

このように電流が流れたとき、一般に、電流の方向によってその方向が決まる磁束が誘起され、そのため、自己インダクタンス成分が生じる。この場合において、外部端子電極10および11の各々の近傍では、電流は、第1の外部端子電極10の各々から離れ、かつ、第2の外部端子電極11の各々へ向かうように流れるため、隣り合う外部端子電極10および11間で見たとき、電流の向きが互いに逆になるため、磁束が効果的に相殺される。その結果、積層コンデンサ1の等価直列インダクタンス（E S L）を低減することができ、したがって、積層コンデンサ1を、高周波回路において有利に適用することが可能になる。

【0010】

【特許文献1】

特開平11-144996号公報

【0011】

【発明が解決しようとする課題】

図7に示すように、従来の積層コンデンサ1においては、端面7および8上の第1および第2の外部端子電極10および11の隣り合うものの間の間隔を規定する端面側ピッチP_eは、側面5および6上の第1および第2の外部端子電極10および11の隣り合うものの間の間隔を規定する側面側ピッチP_sと等しくされている。

【0012】

また、第1および第2の外部端子電極10および11の隣り合うものの間での

前述した磁束の相殺効果は、ピッチP_eおよびP_sの各々の大きさに左右され、これらピッチP_eおよびP_sの各々が小さくなるほど、磁束の相殺効果が高められる。したがって、図7に示した積層コンデンサ1のように、端面側ピッチP_eと側面側ピッチP_sとが互いに等しい場合には、端面7および8上の第1および第2の外部端子電極10および11の隣り合うものの間での磁束の相殺効果と側面5および6上の第1および第2の外部端子電極10および11の隣り合うものの間の磁束の相殺効果とは、実質的に等しくなる。

【0013】

このような状況の下、図7に示した積層コンデンサ1では、端面7および8上の第1および第2の外部端子電極10および11の数は、側面5および6上の第1および第2の外部端子電極10および11の数より少ないため、端面7および8側では、磁束の相殺効果を働かせ得る場所が少なくなり、それゆえ、端面7および8側での磁束の相殺効果は、側面5および6側の磁束の相殺効果に比較して劣るということが考えられる。したがって、この端面7および8側での磁束の相殺効果をより高めることができれば、積層コンデンサ1のESLをより低減化できると考えられる。

【0014】

そこで、この発明の目的は、上述のようなESLのさらなる低減化を図り得る、積層コンデンサを提供しようとすることがある。

【0015】

この発明の他の目的は、上述したような積層コンデンサを用いて構成される、配線基板、デカッピング回路および高周波回路を提供しようとすることがある。

【0016】

【課題を解決するための手段】

この発明に係る積層コンデンサは、相対向する2つの長方形状の主面ならびにこれら主面間を連結するものであって主面の長辺方向に延びる相対向する2つの側面および主面の短辺方向に延びる相対向する2つの端面を有する、直方体状のコンデンサ本体を備えている。

【0017】

コンデンサ本体は、主面の方向に延びる複数の誘電体層、ならびにコンデンサユニットを形成するように特定の誘電体層を介して互いに対向する少なくとも1対の第1および第2の内部電極を備えている。第1および第2の内部電極は、それぞれ、コンデンサ本体の側面および端面の各々上にまで引き出される第1および第2の引出電極を形成している。

【0018】

コンデンサ本体の側面および端面上には、第1の引出電極を介して第1の内部電極に電気的に接続される第1の外部端子電極、および第2の引出電極を介して第2の内部電極に電気的に接続される第2の外部端子電極がそれぞれ形成されている。

【0019】

第1の外部端子電極は、各側面上において少なくとも2つ形成されるとともに、各端面上において少なくとも1つ形成される。

【0020】

他方、第2の外部端子電極は、各側面上において第1の外部端子電極と交互に配置されながら少なくとも2つ形成されるとともに、各端面上において第1の外部端子電極と交互に配置されながら少なくとも1つ形成される。

【0021】

側面上の第1および第2の外部端子電極の数は、端面上の第1および第2の外部端子電極の数より多くされる。

【0022】

このような構成を有する積層コンデンサにおいて、この発明では、前述した技術的課題を解決するため、端面上の第1および第2の外部端子電極の隣り合うものの間の間隔を規定する端面側ピッチが、側面上の第1および第2の外部端子電極の隣り合うものの間の間隔を規定する側面側ピッチの0.9倍以下とされることを特徴としている。

【0023】

この発明の他の局面では、端面上の第1および第2の外部端子電極に電気的に

接続される第1および第2の引出電極の隣り合うものの間の間隔を規定する端面側ピッチが、側面上の第1および第2の外部端子電極に電気的に接続される第1および第2の引出電極の隣り合うものの間の間隔を規定する側面側ピッチの0.9倍以下とされる。

【0024】

なお、上述した2つの局面での特徴を組み合わせてもよい。すなわち、外部端子電極についての端面側ピッチを側面側ピッチの0.9倍以下としながら、引出電極についての端面側ピッチを側面側ピッチの0.9倍以下としてもよい。

【0025】

上述した側面側ピッチに対する端面側ピッチの比率は、たとえば、0.8倍以下、さらには0.6倍以下というように、より小さい比率とされることが、磁束の相殺効果を高める点で有利である。他方、このような比率を小さくしたときには、第1および第2の外部端子電極の隣り合うものの間の隙間が小さくなり、たとえば電気的短絡等の問題を引き起こす。したがって、この発明に従って低ESL化を図ろうとする場合、第1および第2の外部端子電極の隣り合うものの間での電気的短絡が生じ得ない程度に端面側ピッチをより小さくすることが好ましいと言える。

【0026】

この発明において、すべての第1の外部端子電極とすべての第2の外部端子電極とが、2つの側面および2つの端面を通して交互に配置されていることが好ましい。

【0027】

この発明に係る積層コンデンサは、マイクロプロセッsingユニットに備えるMPUチップのための電源回路に接続されるデカップリングコンデンサとして有利に用いられる。

【0028】

この発明は、また、上述したような積層コンデンサが実装された、配線基板にも向けられる。

【0029】

上述したように、この発明が配線基板に向けられる場合、その具体的な一実施態様では、この配線基板には、マイクロプロセッsingユニットに備えるMPUチップがさらに実装される。

【0030】

この発明は、さらに、上述したような積層コンデンサを備える、デカップリング回路にも向けられる。

【0031】

さらに、この発明は、上述したような積層コンデンサを備える、高周波回路にも向けられる。

【0032】

【発明の実施の形態】

図1ないし図3は、この発明の一実施形態による積層コンデンサ21を説明するためのものである。ここで、図1は、積層コンデンサ21の概観を示す平面図である。図2は、積層コンデンサ21の内部構造を特定の断面をもって示す平面図であり、(1)と(2)とは互いに異なる断面をもって示されている。図3は、前述した図7に対応する図である。

【0033】

積層コンデンサ21は、前述した積層コンデンサ1の場合と同様、直方体状のコンデンサ本体22を備えている。コンデンサ本体22は、相対向する2つの長方形状の主面23および24を有するとともに、これら主面23および24間を連結するものであって主面23および24の長辺方向に延びる相対向する2つの側面25および26ならびに主面23および24の短辺方向に延びる相対向する2つの端面27および28を有している。

【0034】

コンデンサ本体22は、主面23および24の方向に延びる、たとえば誘電体セラミックからなる複数の誘電体層29を備えるとともに、コンデンサユニットを形成するように特定の誘電体層29を介して互いに対向する少なくとも1対の第1および第2の内部電極30および31を内部に備えている。

【0035】

図2（1）に第1の内部電極30が図示され、図2（2）に第2の内部電極31が図示されていることからわかるように、図2（1）は、第1の内部電極30が通る断面を示し、図2（2）は、第2の内部電極31が通る断面を示している。

【0036】

第1の内部電極30は、コンデンサ本体22の側面25および26ならびに端面27および28の各々上にまで引き出される第1の引出電極32を形成している。他方、第2の内部電極31は、コンデンサ本体22の側面25および26ならびに端面27および28の各々上にまで引き出される第2の引出電極33を形成している。

【0037】

コンデンサ本体22の側面25および26ならびに端面27および28上には、第1の引出電極32を介して第1の内部電極30に電気的に接続される第1の外部端子電極34が形成されるとともに、第2の引出電極33を介して第2の内部電極31に電気的に接続される第2の外部端子電極35が形成されている。ここで、第1の外部端子電極34と第2の外部端子電極35とを図面上において区別しやすくするため、第1の外部端子電極34を白抜きで図示し、第2の外部端子電極35を黒塗りで図示している。

【0038】

第1の外部端子電極34は、側面25および26の各々上において少なくとも2つ形成されるとともに、端面27および28の各々上において少なくとも1つ形成される。この実施形態では、第1の外部端子電極34は、側面25および26の各々上において2つずつ形成され、端面27および28の各々上において1つずつ形成されている。

【0039】

他方、第2の外部端子電極35は、側面25および26の各々上において第1の外部端子電極34と交互に配置されながら少なくとも2つ形成されるとともに、端面27および28の各々上において第1の外部端子電極34と交互に配置されながら少なくとも1つ形成される。この実施形態では、第2の外部端子電極35

5は、側面25および26の各々上において2つずつ形成され、端面27および28の各々上において1つずつ形成されている。

【0040】

第1および第2の外部端子電極34および35の側面25および26上での数および端面27および28上での数が上述のように選ばれることにより、側面25および26の各々上の第1および第2の外部端子電極34および35の数は、合計4つずつであり、端面27および28の各々上に第1および第2の外部端子電極34および35の数である2つずつに比べて多くされている。

【0041】

この実施形態では、側面25および26の各々と端面27および28の各々とに跨がって第1の外部端子電極34と第2の外部端子電極35とが互いに隣り合っているので、すべての第1の外部端子電極34とすべての第2の外部端子電極35とが、2つの側面25および26ならびに2つの端面27および28を通して交互に配置されることになる。

【0042】

また、この実施形態では、第1および第2の外部端子電極34および35の、側面25および26の各々上での配置および端面27および28の各々上での配置は、均衡がとれるようにされている。より詳細には、第1および第2の外部端子電極34および35は、側面25および26の各々の各端において互いに等しい長さ分を残すように配置され、かつ端面27および28の各々の各端において互いに等しい長さ分を残すように配置されている。

【0043】

また、積層コンデンサ21において、より大きな静電容量を得るため、通常、第1の内部電極30と第2の内部電極31との対向する部分の数は複数とされ、複数のコンデンサユニットを形成するようにされる。これら複数のコンデンサユニットは、第1および第2の外部端子電極34および35によって並列接続される。

【0044】

以上のような積層コンデンサ21において、端面27および28上の第1およ

び第2の外部端子電極34および35の隣り合うものの間の間隔を規定する端面側ピッチP_eは、側面25および26上の第1および第2の外部端子電極34および35の隣り合うものの間の間隔を規定する側面側ピッチP_sの0.9倍以下とされることを特徴としている。

【0045】

図3には、この積層コンデンサ21において流れる電流の典型的な経路および方向が矢印によって示されている。電流は、図3に示した状態および時点では、第1の外部端子電極34の各々から第2の外部端子電極35の各々に向かって流れている。

【0046】

このとき、外部端子電極34および35の近傍では、電流は、第1の外部端子電極34の各々から離れ、かつ、第2の外部端子電極35の各々へ向かうように流れるため、第1および第2の外部端子電極34および35の隣り合うものの間では電流の方向が互いに逆になり、そのため、電流によって誘起される磁束が互いに相殺される。

【0047】

ここで、端面27および28上の第1および第2の外部端子電極34および35の配置に注目すると、その端面側ピッチP_eは、前述したように、側面側ピッチP_sの0.9倍以下と小さくされているので、端面27および28の各々上の第1および第2の外部端子電極34および35の隣り合うものの間でもたらされる磁束の相殺効果は、側面25および26の各々上の第1および第2の外部端子電極34および35の隣り合うものの間でもたらされる磁束の相殺効果より高くなる。その結果、端面27および28の各々上の第1および第2の外部端子電極34および35の数が少なくとも、それを補うに足る磁束の相殺効果を得ることができる。

【0048】

なお、端面側ピッチP_eを小さくすると、図3において矢印で示した電流経路のうち、側面25および26の各々と端面27および28の各々とに跨って隣り合う第1および第2の外部端子電極34および35の間に生じる電流経路36に

については、これがより長くなり、これに起因するインダクタンス成分の増大を考慮しなければならない。

【0049】

しかしながら、端面27および28は、側面25および26に比べて短いため、端面側ピッチP_eを小さくしても、電流経路36がそれほど長くならず、これによるインダクタンス成分の増大もそれほど問題とはならないことに注目すべきである。このことを、図4をも参照して、より詳細に説明する。

【0050】

図4は、図3に示した実施形態の比較例を示す、図3に対応する図である。図4において、図3に示した要素に相当する要素には同様の参照符号を付している。

【0051】

図4に示した比較例に係る積層コンデンサ21aでは、第1および第2の外部端子電極34および35の側面側ピッチP_sが、端面側ピッチP_eより小さくされている。このように構成すれば、側面25および26の各々の近傍における磁束の相殺効果が、図3に示した場合に比べて高められる。

【0052】

しかしながら、図4に示した積層コンデンサ21aの場合には、側面25および26の各々と端面27および28の各々とに跨って隣り合う第1および第2の外部端子電極34および35の間に生じる電流経路36については、図3に示した場合に比べて長くなり、この部分でのインダクタンス成分が大きくなってしまう。また、側面25および26の各々上に形成される第1および第2の外部端子電極34および35の数は比較的多く、それゆえ、磁束の相殺効果を期待できる箇所の数も多く、高い磁束の相殺効果を得ることができる。

【0053】

したがって、図4に示した比較例のように、わざわざ側面25および26側での磁束の相殺効果を高めるため、側面側ピッチP_sを小さくしてまでも、電流経路36を長くしてしまうことは、磁束の相殺効果の向上にとって不利であり、それゆえ、図3に示すように、端面側ピッチP_eを小さくすることが、磁束の相殺

効果を高め、E S Lの低減効果を高めるためには有利である。

【0054】

図5は、図2に対応する図であって、内部電極における引出電極の形成態様についての変形例を示している。図5において、図2に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【0055】

図5において、第1の内部電極30が(1)、(3)、(5)、(7)、(9)および(11)に示され、第2の内部電極31が(2)、(4)、(6)、(8)、(10)および(12)に示されている。これら第1および第2の内部電極30および31は、(1)～(12)の順序で積層される。

【0056】

図5に示すように、第1の内部電極30の各々は、単に1つの第1の引出電極32しか形成しておらず、また、第2の内部電極31の各々は、単に1つの第2の引出電極33しか形成していない。

【0057】

図5に示した構造であっても、すべての第1の外部端子電極34が同じ電位となり、かつ、すべての第2の外部端子電極35が同じ電位となるように使用されれば、図2に示した積層コンデンサ21と同様の機能を當ませ、かつ同様の作用効果を發揮させることができる。

【0058】

また、図2に示した実施形態と図5に示した実施形態との中間的な実施形態も可能である。すなわち、各々1つの内部電極30および31からそれぞれ引き出される第1および第2の引出電極32および33の各々の数は、2ないし5の間で変更されてもよい。

【0059】

次に、この発明の範囲を決定するとともに、この発明による効果を確認するために実施した実験例について説明する。

【0060】

この実験例では、図1ないし図3を参照して説明した構造を有する積層コンデ

ンサ21であって、主面23および24の各々の長辺の長さが2.5mmであり、短辺の長さが1.5mmのものを試料とした。そして、表1に示すように、側面側ピッチPsおよび端面側ピッチPeをそれぞれ種々に変更して、Pe/Psを種々に異ならせた試料を作製し、各試料のESLを測定した。

【0061】

【表1】

試料番号	側面側ピッチPs	端面側ピッチPe	Pe/Ps	ESL
1	0.50mm	0.50mm	1	30pH
2	0.50mm	0.80mm	1.6	32pH
3	0.50mm	0.60mm	1.2	31pH
4	0.50mm	0.45mm	0.9	28pH
5	0.50mm	0.40mm	0.8	27pH
6	0.50mm	0.30mm	0.6	26pH
7	0.40mm	0.50mm	1.25	32pH
8	0.30mm	0.50mm	1.67	33pH

【0062】

表1において、試料1は、図7に示したような従来の積層コンデンサ1に相当している。したがって、この試料1において得られたESLの値である30pHとの比較で、低ESL化が図られているか否かを判定することができる。

【0063】

まず、試料2および3のように、側面側ピッチPsを試料1と同じにしながら、端面側ピッチPeを試料1より大きくした場合には、ESLが試料1より高くなっている。

【0064】

他方、試料7および8のように、端面側ピッチPeを試料1と同じにしながら、側面側ピッチPsを試料1より小さくした場合においても、ESLが試料1に比べてかえって高くなっている。

【0065】

これらに対して、試料4～6のように、側面側ピッチ P_s を試料1と同じにしながら、端面側ピッチ P_e を試料1より小さくし、 P_e/P_s を0.9以下とすれば、ESLを試料1より低くすることができる。このことから、低ESL化のためには、端面側ピッチ P_e を側面側ピッチ P_s の0.9倍以下とすればよいことがわかる。

【0066】

なお、試料4～6の間で比較すると、 P_e/P_s がより小さくなるほど、ESLがより低減されている。このことから、 P_e/P_s は、より小さいほど好ましいことがわかる。

【0067】

上述した実験結果の信頼性を高めるため、図6に示すような積層コンデンサ41についても同様の実験を行なった。図6は、図1に対応する図である。図6において、図1に示した要素に相当する要素には同様の参照符号を付し、重複する説明は省略する。

【0068】

図6に示した積層コンデンサ41では、コンデンサ本体22の側面25および26の各々上において、3つの第1の外部端子電極34および3つの第2の外部端子電極35が形成され、一方の端面27上において、1つの第1の外部端子電極34および2つの第2の外部端子電極35が形成され、他方の端面28上において、2つの第2の外部端子電極34および1つの第2の外部端子電極35が形成されている。

【0069】

このような積層コンデンサ41において、主面23および24の長辺の長さを3.5mmとし、短辺の長さを2.0mmとしたものを試料とし、表2に示すように、側面側ピッチ P_s および端面側ピッチ P_e をそれぞれ変更し、 P_e/P_s を異ならせたものについて、ESLを測定した。

【0070】

【表2】

試料番号	側面側ピッチPs	端面側ピッチPe	Pe/Ps	ESL
9	0.50mm	0.50mm	1	15pH
10	0.50mm	0.45mm	0.9	12pH
11	0.40mm	0.50mm	1.25	16pH

【0071】

表2において、試料9は、表1に示した試料1に相当し、Pe/Psが1の場合である。したがって、試料9において得られたESLの値である15pHが基準となり、これとの比較で低ESL化が図られたか否かが判定される。

【0072】

まず、試料11では、端面側ピッチPeが試料9と同じであり、側面側ピッチPsが試料9より小さくされている。その結果、試料11のESLは、試料9に比べて高くなっている。

【0073】

これに対して、試料10では、側面側ピッチPsが試料9と同じであるが、端面側ピッチPeが試料9より小さく、Pe/Psが0.9である。その結果、試料10によれば、ESLが試料9より低く、低ESL化が図られていることがわかる。

【0074】

以上、この発明に係る積層コンデンサを図示した実施形態に関連して説明したが、この発明の範囲内において、その他、種々の変形例が可能である。

【0075】

たとえば、内部電極の引出電極の数を変更したり、外部端子電極の数を変更したりすることは任意である。

【0076】

また、上述した説明では、端面側ピッチPeおよび側面側ピッチPsは、第1および第2の外部端子電極34および35についてのものであったが、これらピッチPeおよびPsは、第1および第2の引出電極32および33についてのも

のであっても、端面側ピッチ P_e を側面側ピッチ P_s の0.9倍以下とすることにより、同様の低ESL化を図ることができる。

【0077】

次に、この発明に係る積層コンデンサを用いて構成される、配線基板、デカップリング回路および高周波回路について説明する。

【0078】

この発明に係る積層コンデンサは、たとえば、図8に示したマイクロプロセッsingユニット(MPU)51に備えるデカップリングコンデンサ52として有利に用いることができる。図8は、ワークステーションやパーソナルコンピュータ等のMPU52のMPUチップ53およびこれに電源を供給する電源部54に関する接続構成の一例を図解的に示すブロック図である。

【0079】

図8を参照して、MPU51は、MPUチップ(ベアチップ)53およびメモリ55を備える。電源部54は、MPUチップ53に電源を供給するためのもので、電源部54からMPUチップ53に至る電源回路には、デカップリングコンデンサ52が接続されている。また、MPUチップ53からメモリ55側には、信号回路が構成されている。

【0080】

上述したようなMPU51に関連して用いられるデカップリングコンデンサ52の場合、通常のデカップリングコンデンサと同様、ノイズ吸収や電源の変動に対する平滑化のために用いられるが、さらに、最近では、MPUチップ53において、その動作周波数が500MHzを超えて1GHzにまで達するものが計画されており、このようなMPUチップ53に関連して高速動作が要求される用途にあっては、クイックパワーサプライとしての機能(立ち上がり時等の電力が急に必要な時に、コンデンサに充電された電気量から数ナノ秒の間に電力を供給する機能)が必要である。

【0081】

このため、MPU51におけるデカップリングコンデンサ52にあっては、インダクタンス成分ができるだけ低いことが必要となってきている。したがって、

この発明に係る積層コンデンサは、このようなデカップリングコンデンサ52として有利に用いられる。

【0082】

上述のように、この発明に係る積層コンデンサをデカップリングコンデンサとして用いているMPUの構造の第1の例について、図9ないし図11を参照して以下に説明する。

【0083】

図9は、MPU61を概略的断面で示す正面図であり、図10は、MPU61の平面図である。図9および図10に示すように、MPU61は、たとえば多層構造を有する配線基板62を備え、配線基板62の上面には、MPUチップ（ベアチップ）63がたとえばバンプ接続により実装されている。

【0084】

また、配線基板62上であって、MPUチップ63の近傍には、デカップリングコンデンサとして機能する積層コンデンサ64が表面実装されている。この積層コンデンサ64としては、低ESL化が図られた前述の積層コンデンサ21または41を用いることができる。

【0085】

また、図10に示すように、たとえば8個の積層コンデンサ64が配線基板62上に実装されている。これら8個の積層コンデンサ64は、互いに並列に接続されることによって、一層の低ESL化を図るようにされる。これら積層コンデンサ64は、図示しないが、上述した互いの間の接続およびMPUチップ63との接続を達成するため、配線基板62内に設けられたビアホール導体が用いられる。

【0086】

また、積層コンデンサ64とMPUチップ63との間での配線に伴うインダクタンス成分をも低減できるようにするために、図示したように、積層コンデンサ64は、MPUチップ63のすぐ横に配置されるのが好ましい。

【0087】

図11には、図10に示した積層コンデンサ64のうち、互いに隣り合うもの

が平面図で示されている。なお、図9および図10では、積層コンデンサ64に備える外部端子電極の図示が省略されたが、図11では、外部端子電極65および66が図示されている。また、図11では、互いに極性の異なる第1および第2の外部端子電極65および66を互いに区別するため、前述した図1等の場合と同様の方法により、第1の外部端子電極65を白抜きで図示し、第2の外部端子電極66を黒塗りで図示している。

【0088】

図11に示すように、積層コンデンサ64が互いに隣り合うとき、一方の積層コンデンサ64の第1の外部端子電極65と他方の積層コンデンサ64の第2の外部端子電極66とが互いに対向しつつ近接して配置すれば、これら第1および第2の外部端子電極65および66間においても磁束の相殺効果を期待でき、さらなる低ECL化を図ることができる。

【0089】

この発明に係る積層コンデンサをデカップリングコンデンサとして用いているMPUの構造の第2の例について、図12および図13を参照して以下に説明する。

【0090】

図12は、MPU71を概略的断面で示す正面図であり、図13は、MPU71の底面図である。図9および図10に示した例の場合と同様、MPU71は、たとえば多層構造を有する配線基板72を備え、配線基板72の上面には、MPUチップ73がたとえばバンプ接続により実装されている。

【0091】

また、配線基板72の下面側には、デカップリングコンデンサとして機能する積層コンデンサ74が表面実装されている。この積層コンデンサ74としては、図9および図10に示した例の場合と同様、低ECL化が図られた前述の積層コンデンサ21または41を用いることができる。

【0092】

また、図13に示すように、たとえば12個の積層コンデンサ74が配線基板72の下面に実装されている。これら12個の積層コンデンサ74は、互いに

並列に接続されることによって、一層の低E S L化を図るようにされる。これら積層コンデンサ74についても、図9および図10に示した例の場合と同様、図示しないが、上述した互いの間の接続およびMPUチップ73との接続を達成するため、配線基板72内に設けられたビアホール導体が用いられる。

【0093】

また、積層コンデンサ74とMPUチップ73との間での配線に伴うインダクタンス成分をも低減できるようにするため、図示したように、積層コンデンサ74は、MPUチップ73が実装された位置に対して配線基板72を介して対向する位置に配置されるのが好ましい。

【0094】

また、これら積層コンデンサ74についても、特に図示しないが、前述の図11に示すような外部端子電極の配置を実現するように実装されることが好ましい。

【0095】

なお、図12および図13に示したMPU71において、配線基板72の下面側にキャビティを設け、このキャビティ内に積層コンデンサ74を収容するようにしてもよい。

【0096】

この発明に係る積層コンデンサは、また、上述したようなMPUのためのデカップリング回路に限らず、高周波回路においても、バイパスコンデンサまたはデカップリングコンデンサとして有利に用いることができる。

【0097】

【発明の効果】

以上のように、この発明に係る積層コンデンサによれば、コンデンサ本体の端面上の第1および第2の外部端子電極の隣り合うものの間の間隔を規定する端面側ピッチが、側面上の第1および第2の外部端子電極の隣り合うものの間の間隔を規定する側面側ピッチの0.9倍以下とされ、あるいは、端面上の第1および第2の外部端子電極に電気的に接続される第1および第2の引出電極の隣り合うものの間の間隔を規定する端面側ピッチが、側面上の第1および第2の外部端子

電極に電気的に接続される第1および第2の引出電極の隣り合うものの間の間隔を規定する側面側ピッチの0.9倍以下とされるので、以下のような効果が奏される。

【0098】

すなわち、外部端子電極の数のより少ない端面近傍での磁束の相殺効果が高められるとともに、側面に比べて短い端面側において第1および第2の外部端子電極のピッチが小さくされるので、端面と側面とに跨って隣り合う第1および第2の外部端子電極の間で生じる電流経路がそれほど長くならることはなく、それゆえ、積層コンデンサの全体としてのE S Lを効果的に低減することができる。

【0099】

このようなことから、積層コンデンサの共振周波数をより高周波化することができる。このことは、コンデンサとして機能する周波数域が高周波化することを意味し、そのため、この発明に係る積層コンデンサは、電子回路の高周波化に十分対応することができ、たとえば、高周波回路におけるバイパスコンデンサ、デカップリングコンデンサとして有利に用いることができる。

【0100】

また、MPU（マイクロプロセッsingユニット）等に使用されるデカップリングコンデンサにあっては、クイックパワーサプライとしての機能が要求されるが、この発明に係る積層コンデンサは効果的に低E S L化されているので、このような用途に向けられたとき、その高速性に十分対応することができる。

【0101】

この発明において、すべての第1の外部端子電極とすべての第2の外部端子電極とが、2つの側面および2つの端面を通して交互に配置されていると、磁束の相殺効果をより高めることができるので、E S Lの低減により効果的である。

【図面の簡単な説明】

【図1】

この発明の一実施形態による積層コンデンサ21の外観を示す平面図である。

【図2】

図1に示した積層コンデンサ21の内部構造を示すもので、(1)は第1の内

部電極30が通る断面をもって示す平面図であり、(2)は第2の内部電極31が通る断面をもって示す平面図である。

【図3】

図1に示した積層コンデンサ21に流れる電流の経路および方向を図解的に示す矢印を図1に加えて図示した、積層コンデンサ21の外観を示す平面図である。

【図4】

図1に示した積層コンデンサ21の比較例としての積層コンデンサ21aの外観を示す平面図である。

【図5】

図2に示した第1および第2の内部電極30および31にそれぞれ形成される第1および第2の引出電極32および33の形成態様についての変形例を示す、図2に相当する図である。

【図6】

図1に対応する図であって、この発明の他の実施形態による積層コンデンサ41の外観を示す平面図である。

【図7】

この発明にとって興味ある従来の積層コンデンサ1の外観を示す平面図であり、図3に対応する図である。

【図8】

この発明に係る積層コンデンサをデカップリングコンデンサ52として用いた場合のMPU52のMPUチップ53およびこれに電源を供給する電源部54に関する接続構成の一例を図解的に示すブロック図である。

【図9】

この発明に係る積層コンデンサ64をデカップリングコンデンサとして用いているMPU61の構造の第1の例を説明するためのもので、MPU61を概略的断面で示す正面図である。

【図10】

図9に示したMPU61の平面図である。

【図11】

図10に示した積層コンデンサ64のうち、互いに隣り合うものを示す平面図である。

【図12】

この発明に係る積層コンデンサ74をデカップリングコンデンサとして用いているMPU71の構造の第2の例を説明するためのもので、MPU71を概略的断面で示す正面図である。

【図13】

図12に示したMPU71の底面図である。

【符号の説明】

21, 41, 64, 74 積層コンデンサ

22 コンデンサ本体

23, 24 主面

25, 26 側面

27, 28 端面

29 誘電体層

30 第1の内部電極

31 第2の内部電極

32 第1の引出電極

33 第2の引出電極

34, 65 第1の外部端子電極

35, 66 第2の外部端子電極

51, 61, 71 MPU

52 デカップリングコンデンサ

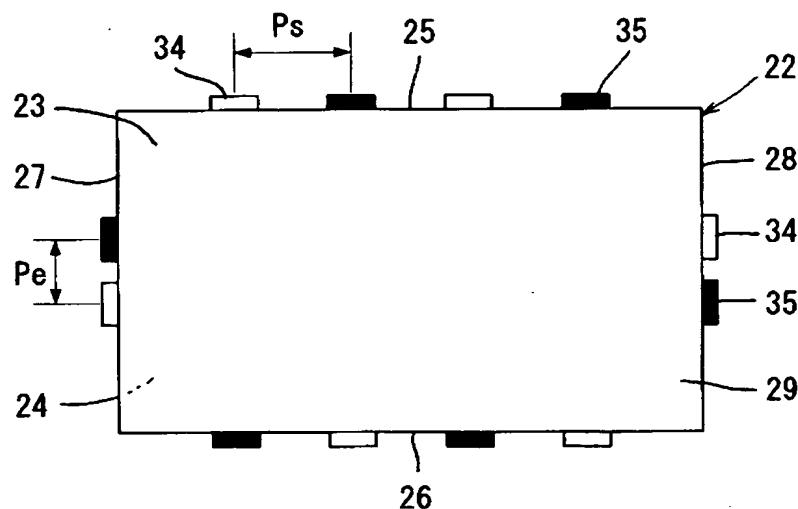
53, 63, 73 MPUチップ

54 電源部

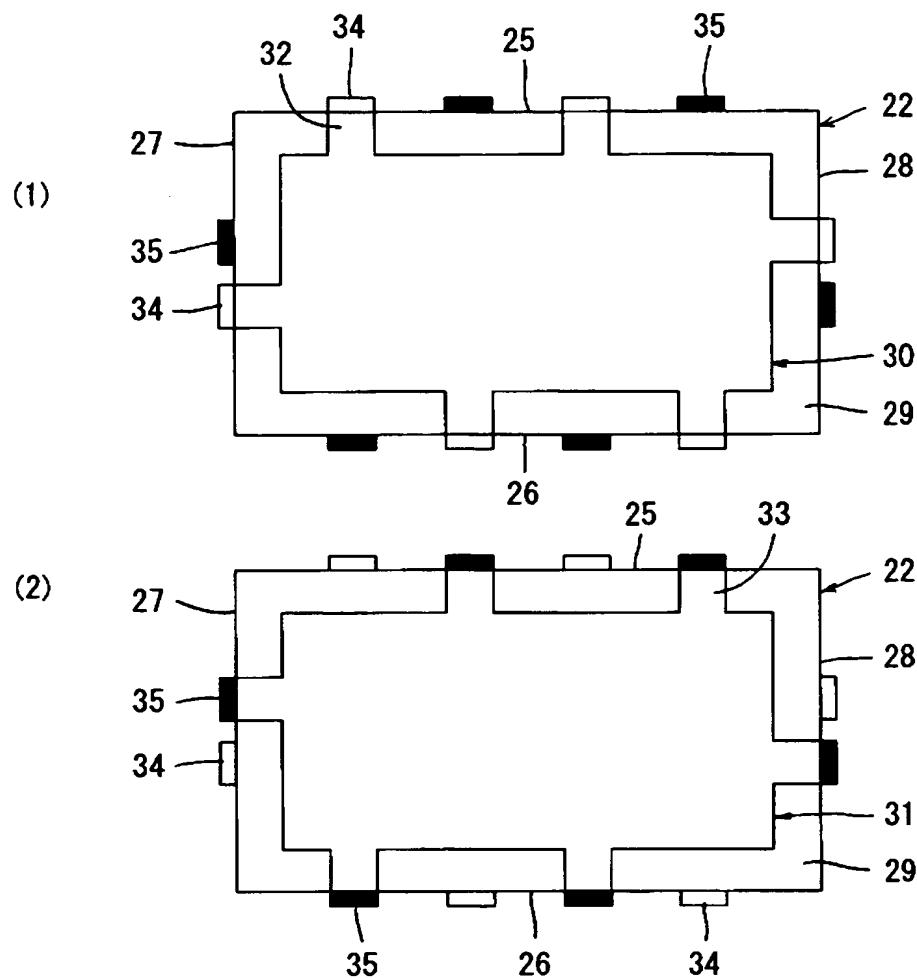
62, 72 配線基板

【書類名】 図面

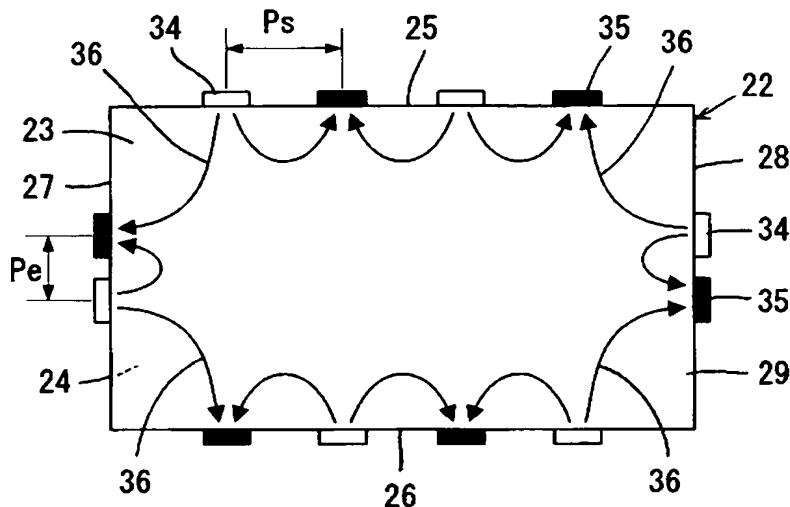
【図 1】

21

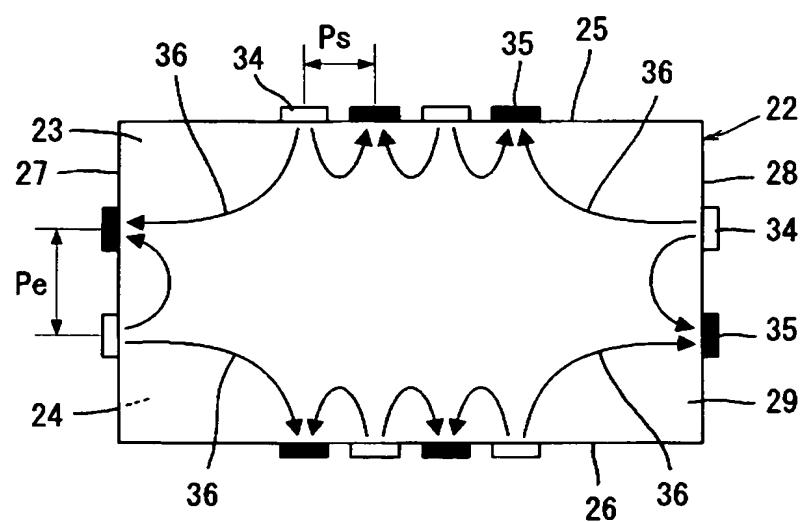
【図2】



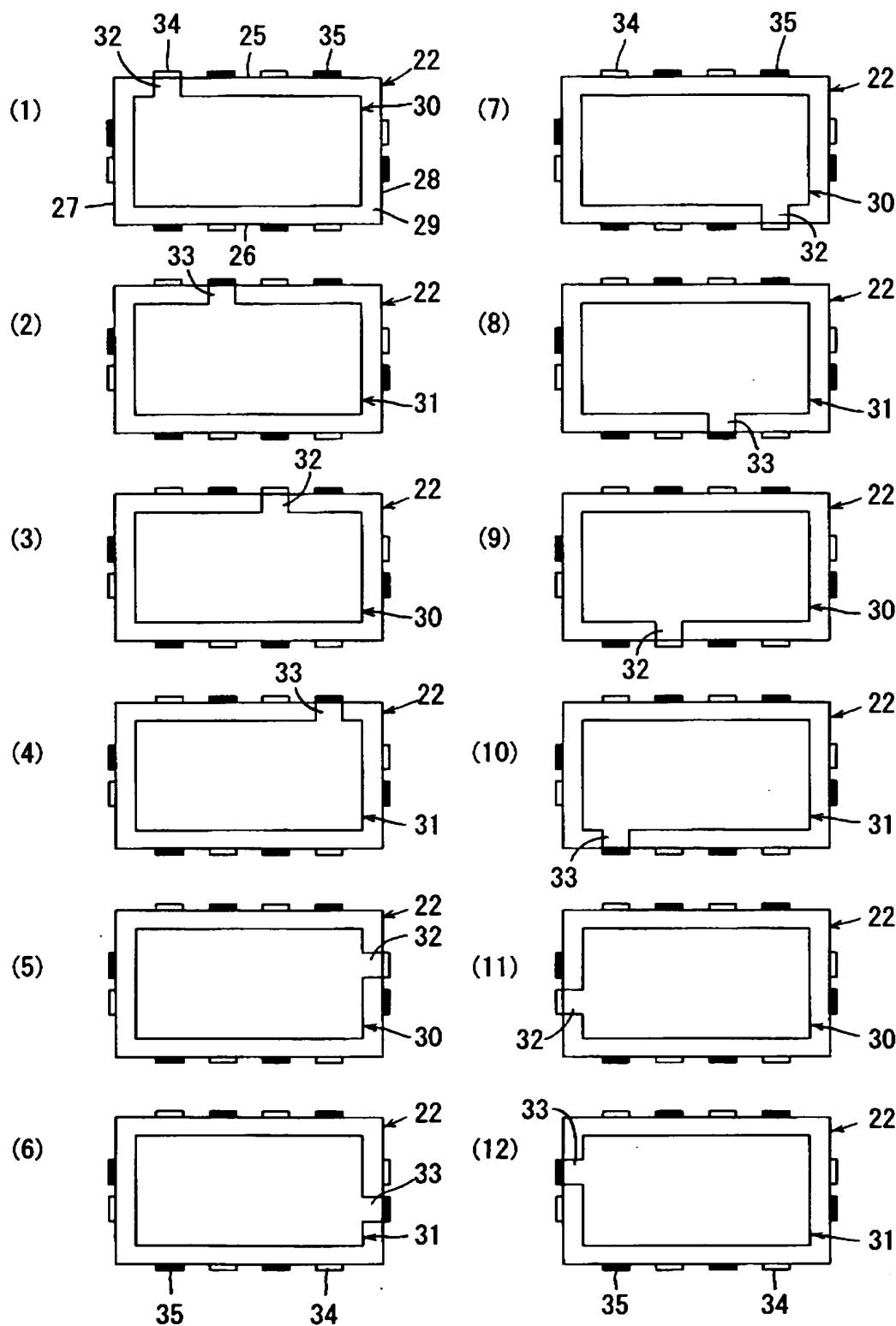
【図 3】

21

【図 4】

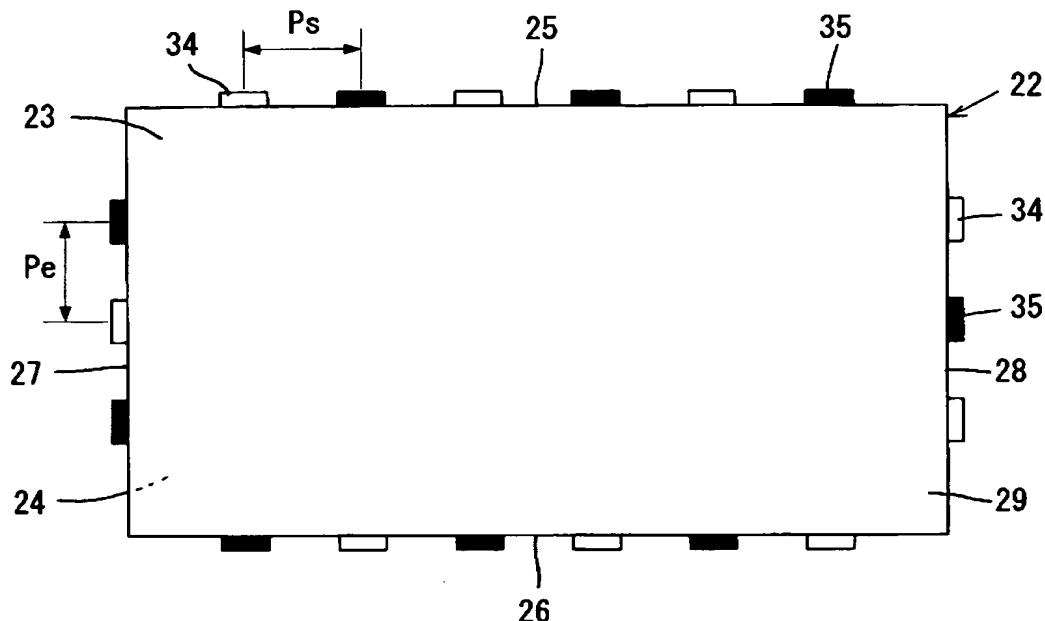
21a

【図5】



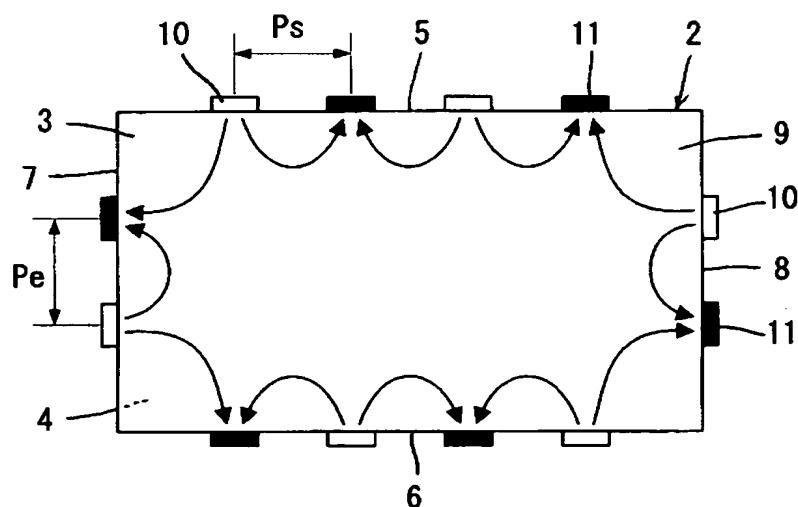
【図6】

41

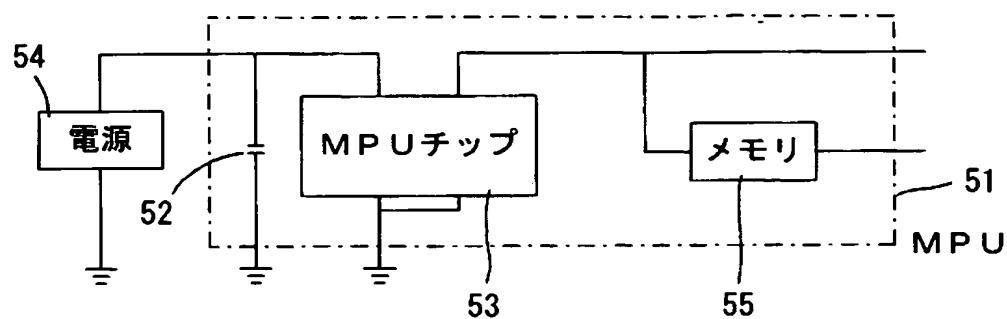


【図7】

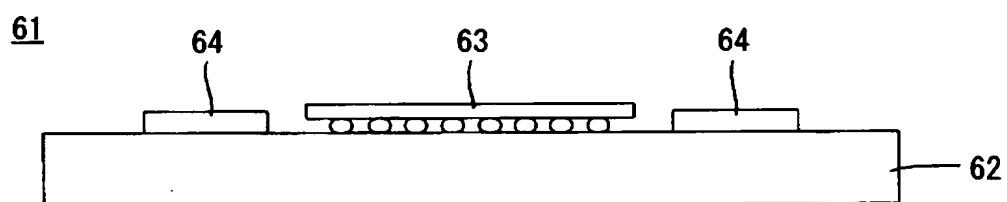
1



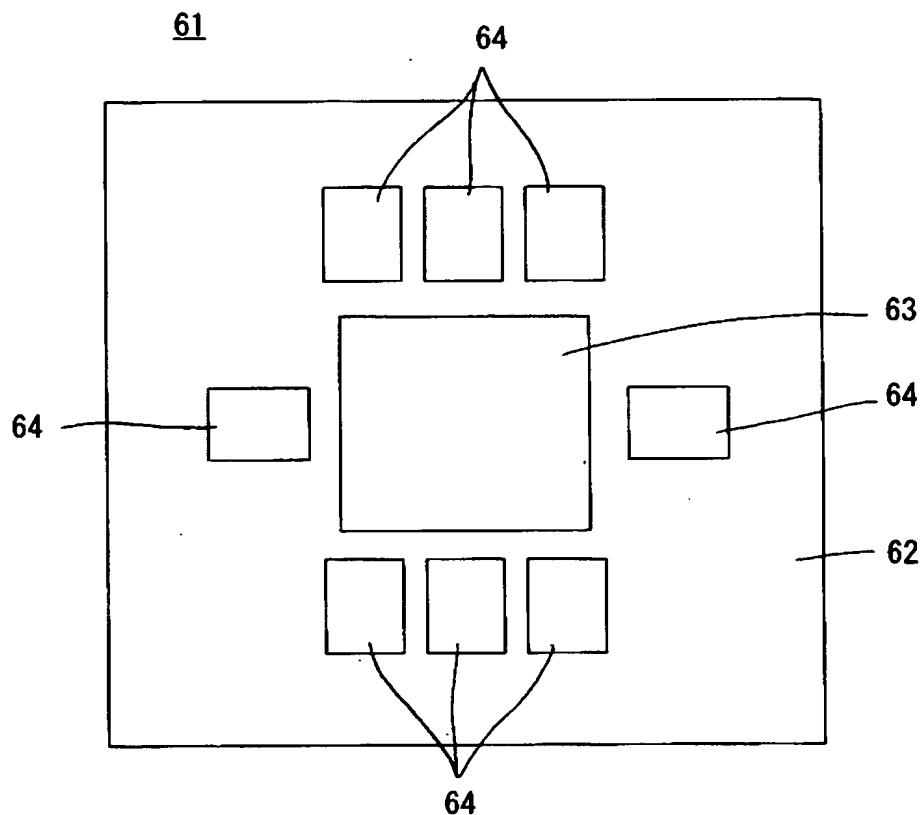
【図8】



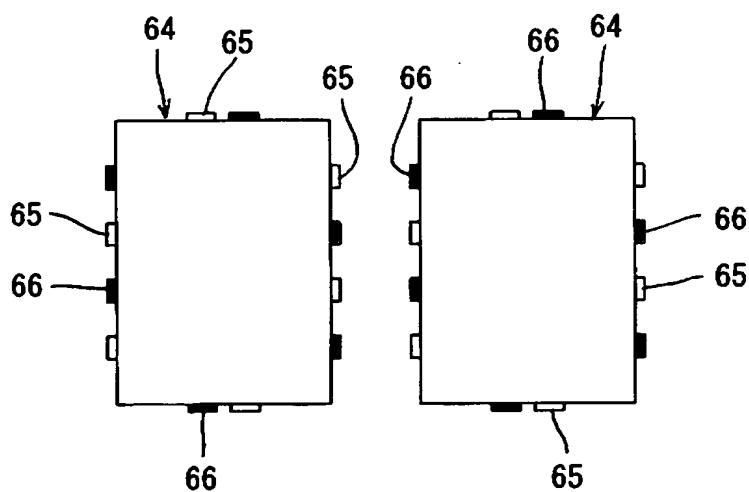
【図9】



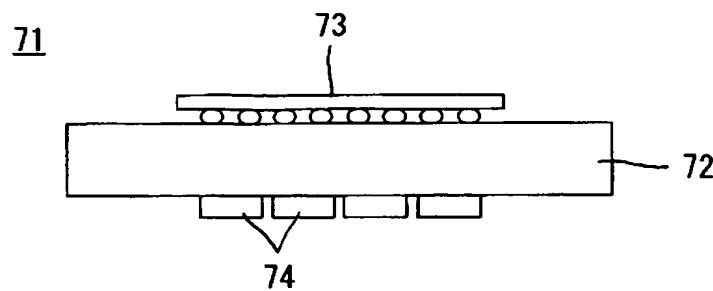
【図10】



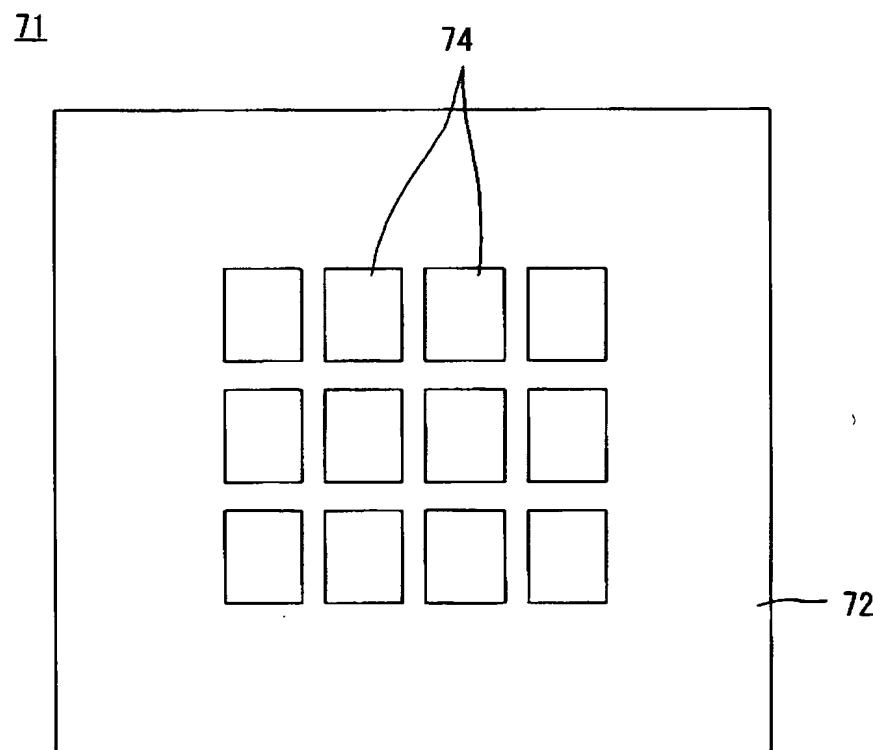
【図11】



【図12】



【図13】



【書類名】 要約書

【要約】

【課題】 積層コンデンサの等価直列インダクタンスを低減する。

【解決手段】 コンデンサ本体22のより短い端面27および28上の第1および第2の外部端子電極34および35の隣り合うものの間の間隔を規定する端面側ピッチPeを、より長い側面25および26上の第1および第2の外部端子電極34および35の隣り合うものの間の間隔を規定する側面側ピッチPsの0.9倍以下として、端面27および28側での磁束の相殺効果を高め、積層コンデンサ21全体としての等価直列インダクタンスの低減を図る。

【選択図】 図1

特願 2003-024466

出願人履歴情報

識別番号 [00006231]

1. 変更年月日 1990年 8月28日
[変更理由] 新規登録
住 所 京都府長岡京市天神二丁目26番10号
氏 名 株式会社村田製作所